

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068057

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 27/10
H01L 27/04
H01L 21/822
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-228200

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.08.1997

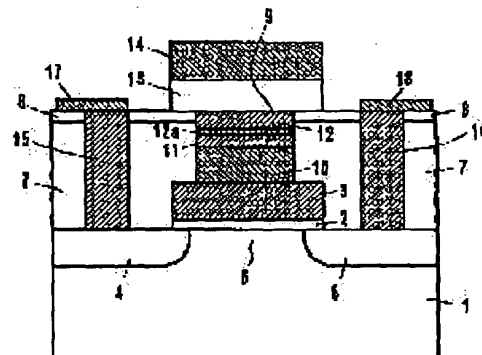
(72)Inventor : FURUKAWA HIROAKI

(54) DIELECTRIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric device which is superior in polarization characteristic, enhanced in productivity, and reduced in manufacturing cost.

SOLUTION: A source region 4 and a drain region 5 are formed on the surface of a silicon substrate 1, and a gate-insulating film 2 and a gate electrode are successively formed on a channel region between the source region 4 and the drain region 5. An interlayered insulating film 7 is formed on the silicon substrate 1, so as to cover the gate electrode 3 and the gate-insulating film 2, and a contact hole 9 is bored in the interlayered insulating film 7 on the gate electrode 3. A connecting layer 10 and a lower electrode 12 of Bi₂Sr₂CuO₆ are formed inside the contact hole 9. A ferroelectric film 13 of SrBi₂Ta₂O₉ and an upper electrode 14 of Bi₂Sr₂CuO₆ are successively formed on the interlayered insulating film 7, coming into contact with the upside of the lower electrode 12.



LEGAL STATUS

[Date of request for examination]

15.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68057

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

27/04

27/04

C

21/822

29/78

3 7 1

21/8247

29/788

審査請求 未請求 請求項の数10 OL (全 12 頁) 最終頁に続く

(21) 出願番号

特願平9-228200

(22) 出願日

平成9年(1997) 8月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 古川 浩章

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

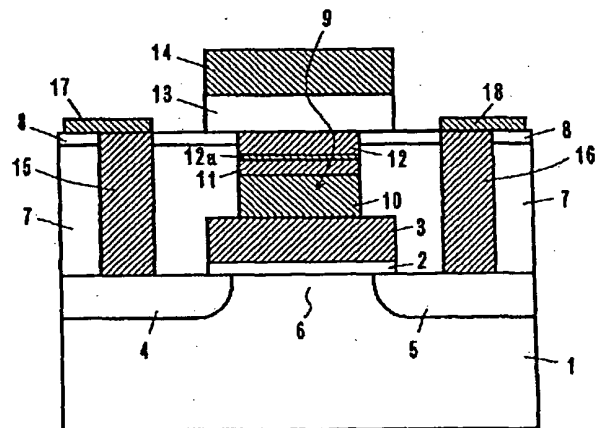
(74) 代理人 弁理士 福島 祥人

(54) 【発明の名称】 誘電体素子

(57) 【要約】

【課題】 良好な分極特性を有し、生産性の向上およびコストの低減化が可能な誘電体素子を提供することである。

【解決手段】 シリコン基板1の表面にソース領域4およびドレイン領域5が形成され、ソース領域4とドレイン領域5との間のチャネル領域6上にゲート絶縁膜2およびゲート電極3が順に形成される。ゲート電極3およびゲート絶縁膜2を覆うようにシリコン基板1上に層間絶縁膜7が形成され、ゲート電極3上の層間絶縁膜7にコンタクト孔9が形成される。コンタクト孔9内には接続層10および $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ からなる下部電極12が形成される。下部電極12の上面に接触するように層間絶縁膜7上に $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなる強誘電体膜13および $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ からなる上部電極14が順に形成される。



【特許請求の範囲】

【請求項1】 互いに類似の結晶構造を有する第1の電極層と誘電体膜との積層構造を有することを特徴とする誘電体素子。

【請求項2】 前記積層構造はさらに前記第1の電極層および誘電体膜と類似の結晶構造を有する第2の電極層を有することを特徴とする請求項1記載の誘電体素子。

【請求項3】 前記電極層が導電性酸化物からなることを特徴とする請求項1または2記載の誘電体素子。

【請求項4】 前記電極層および誘電体膜の結晶構造がペロブスカイト型構造であることを特徴とする請求項1～3のいずれかに記載の誘電体素子。

【請求項5】 半導体基板または半導体層に所定間隔を隔てて形成された第1および第2の不純物領域と、前記第1および第2の不純物領域間の領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極および前記ゲート絶縁膜を覆うように前記半導体基板または半導体層上に形成され、コンタクト孔を有する層間絶縁膜と、前記層間絶縁膜の前記コンタクト孔内に形成され、前記ゲート電極に電気的に接続される下部電極層と、前記下部電極の上面に接触するように前記層間絶縁膜上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極層とを備え、前記下部電極層および前記上部電極層はペロブスカイト型構造を有する導電性酸化物からなり、前記誘電体膜はペロブスカイト型構造を有する誘電体からなることを特徴とする誘電体素子。

【請求項6】 前記コンタクト孔内の前記下部電極層下に形成され、前記下部電極層を前記ゲート電極に電気的に接続する接続層をさらに備えたことを特徴とする請求項5記載の誘電体素子。

【請求項7】 前記電極層は層状導電性酸化物からなり、前記誘電体膜は層状誘電体からなることを特徴とする請求項1～6のいずれかに記載の誘電体素子。

【請求項8】 前記電極層はビスマス系層状導電性酸化物からなり、前記誘電体膜はビスマスを含む層状誘電体からなることを特徴とする請求項1～7のいずれかに記載の誘電体素子。

【請求項9】 前記誘電体膜は強誘電体からなることを特徴とする請求項1～8のいずれかに記載の誘電体素子。

【請求項10】 前記電極層はビスマス、ストロンチウム、銅および酸素を含む層状導電性酸化物からなり、前記誘電体膜はストロンチウム、ビスマス、タンタルおよび酸素を含む層状強誘電体からなることを特徴とする請求項1～9のいずれかに記載の誘電体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誘電体膜を有する誘電体素子に関する。

【0002】

【従来の技術】 電界効果トランジスタ(FET)のゲート部分に強誘電体膜からなるキャパシタ(以下、強誘電体キャパシタと呼ぶ)が設けられたメモリは、非破壊読み出しが可能な不揮発性メモリとして知られている。このような強誘電体メモリの構造としては、MFS(金属・強誘電体・半導体)構造、MFIS(金属・強誘電体・絶縁体・半導体)構造、MFMIS(金属・強誘電体・金属・絶縁体・半導体)構造などが提案されている。

【0003】 図12はMFMIS構造の強誘電体メモリの一例を示す模式的断面図である。図12の強誘電体メモリは、例えば特開平5-327062号公報に開示されている。

【0004】 図12において、 n^+ シリコン基板31の表面に、所定間隔を隔てて p^+ 層からなるソース領域34および p^+ 層からなるドレイン領域35が形成されている。ソース領域34とドレイン領域35との間のシリコン基板31の領域がチャンネル領域36となる。チャンネル領域36上にゲート絶縁膜32が形成され、ゲート絶縁膜32上にゲート電極33が形成されている。

【0005】 シリコン基板31上およびゲート電極33上には層間絶縁膜37が形成されている。ゲート電極33上の層間絶縁膜37には、コンタクト孔39が形成され、そのコンタクト孔39内に配線層40が形成されている。

【0006】 ソース領域34上およびドレイン領域35上の層間絶縁膜37にはそれぞれコンタクト孔が設けられ、それらのコンタクト孔内にそれぞれ配線層45、46が形成されている。さらに、ゲート電極33に接続された配線層40上に下部電極42が形成されている。下部電極42上に強誘電体膜43が形成され、強誘電体膜43上に上部電極44が形成されている。また、ソース領域34およびドレイン領域35に接続される配線層45、46上にそれぞれオーミック電極47、48が形成されている。

【0007】 この強誘電体メモリにおいては、下部電極42、強誘電体膜43および上部電極44が強誘電体キャパシタを構成する。

【0008】

【発明が解決しようとする課題】 図12の強誘電体メモリにおいては、通常、下部電極42および上部電極44はPt(白金)等の反応性の低い金属により形成される。このように、強誘電体膜43が反応性の低い金属からなる下部電極42上に形成され、かつゲート電極33と下部電極42との間の配線層40の周囲に層間絶縁膜37が設けられているので、強誘電体膜43とシリコン基板31との間での構成原子の反応や相互拡散が十分に防止されている。

【0009】しかしながら、上記の従来の強誘電体メモリの製造においては、強誘電体キャパシタの形成の後工程で熱処理を行うと、下部電極42および上部電極44の材料であるPtに棒状結晶からなる粒界が形成され、強誘電体膜43中の酸素がPt中を拡散しやすくなる。それにより、強誘電体膜43と接する配線層40の界面近傍に酸化層が形成され、配線層40の抵抗が増大する。

【0010】また、後工程の絶縁膜の形成時に強誘電体キャパシタが水素を含む雰囲気中に置かれた場合に、Ptの触媒作用により強誘電体膜43からの酸素の脱離が促進される。それにより、上部電極44に接する強誘電体膜43の界面近傍に劣化層が形成される。これらの結果、強誘電体膜43の分極特性が劣化する。

【0011】また、下部電極42および上部電極44の材料であるPtは、反応性が低く、難エッチング特性を有するので、加工に時間がかかり、生産性が低い。さらに、Ptは高価であるため、材料コストがおよび製造コストが高くなる。

【0012】本発明の目的は、良好な分極特性を有し、生産性の向上およびコストの低減化が可能な誘電体素子を提供することである。

【0013】

【課題を解決するための手段および発明の効果】

(1) 第1の発明

第1の発明に係る誘電体素子は、互いに類似の結晶構造を有する第1の電極層と誘電体膜との積層構造を有するものである。

【0014】本発明に係る誘電体素子においては、第1の電極層および誘電体膜が結晶構造の類似性を有する。これにより、第1の電極層と誘電体膜との格子整合性が良好となるので、第1の電極層上に形成される誘電体膜の結晶性が良好となり、かつ第1の電極層と誘電体膜との界面安定性が向上する。したがって、良好な素子特性を有する誘電体素子を実現される。

【0015】(2) 第2の発明

第2の発明に係る誘電体素子は、第1の発明に係る誘電体素子の構成において、積層構造がさらに第1の電極層および誘電体膜と類似の結晶構造を有する第2の電極層を有することを特徴とする。

【0016】本発明に係る誘電体素子においては、第1の電極層、誘電体膜および第2の電極層が結晶構造の類似性を有する。これにより、第1の電極層と誘電体膜との格子整合性および誘電体膜と第2の電極層との格子整合性が良好となるので、第1の電極層上に形成される誘電体膜の結晶性が良好となり、かつ第1の電極層と誘電体膜との界面安定性および誘電体膜と第2の電極層との界面安定性が向上する。したがって、良好な素子特性を有する誘電体素子を実現される。

【0017】(3) 第3の発明

第3の発明に係る誘電体素子は、第1または第2の発明に係る誘電体素子の構成において、電極層が導電性酸化物からなることを特徴とする。

【0018】この場合、電極層の触媒作用による誘電体膜の構成元素（例えば酸素）の脱離の問題が生じない。それにより、誘電体膜において良好な分極特性が得られる。したがって、さらに良好な素子特性を有する誘電体素子を実現される。

【0019】(4) 第4の発明

第4の発明に係る誘電体素子は、第1～第3のいずれかの発明に係る誘電体素子の構成において、電極層および誘電体膜の結晶構造がペロブスカイト型構造であることを特徴とする。

【0020】この場合、電極層および誘電体膜が共にペロブスカイト型構造を有し、結晶構造の類似性を有する。これにより、電極層と誘電体膜との格子整合性が良好となるので、電極層上に形成される誘電体膜の結晶性が良好となり、かつ電極層と誘電体膜との界面安定性が向上する。

【0021】また、ペロブスカイト型構造を有する電極層は加工が容易であり、ペロブスカイト型構造を有する誘電体膜と同一の製造装置内で連続的なプロセスにより形成することも可能である。また、ペロブスカイト型構造を有する電極層は、白金族の金属に比べて安価に形成することができる。

【0022】したがって、良好な素子特性を有し、生産性の向上およびコストの低減化が可能な誘電体素子を実現される。

【0023】(5) 第5の発明

第5の発明に係る誘電体素子は、半導体基板または半導体層に所定間隔を隔てて形成された第1および第2の不純物領域と、第1および第2の不純物領域間の領域上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極およびゲート絶縁膜を覆うように半導体基板または半導体層上に形成され、コンタクト孔を有する層間絶縁膜と、層間絶縁膜のコンタクト孔内に形成され、ゲート電極に電気的に接続される下部電極層と、下部電極層の上面に接触するように層間絶縁膜上に形成された誘電体膜と、誘電体膜上に形成された上部電極層とを備え、下部電極層および上部電極層はペロブスカイト型構造を有する導電性酸化物からなり、誘電体膜はペロブスカイト型構造を有する誘電体からなるものである。

【0024】本発明に係る誘電体素子においては、下部電極層および上部電極層ならびに誘電体膜がペロブスカイト型構造を有し、結晶構造の類似性を有する。これにより、下部電極層と誘電体膜との格子整合性および誘電体膜と上部電極層との格子整合性が良好となるので、下部電極層上に形成される誘電体膜の結晶性が良好となり、かつ下部電極層と誘電体膜との界面安定性および誘

電体膜と上部電極層との界面安定性が向上する。また、下部電極層および上部電極層の触媒作用による誘電体膜の構成元素（例えば酸素）の脱離の問題も生じない。したがって、誘電体膜において良好な分極特性が得られる。

【0025】また、ペロブスカイト型構造を有する導電性酸化物は加工が容易であり、ペロブスカイト型構造を有する誘電体膜と同一の製造装置内で連続的なプロセスにより形成することも可能である。さらに、ペロブスカイト型構造を有する導電性酸化物は、白金族の金属に比べて安価に形成することができる。

【0026】特に、誘電体膜の下面に接触する下部電極層が層間絶縁膜のコンタクト孔内に設けられているので、上部電極層および誘電体膜をパターニングする際に下部電極層の材料が誘電体膜の側壁へ付着または堆積しない。また、たとえ上部電極層の材料が誘電体膜の側壁へ付着または堆積した場合でも、下部電極層が層間絶縁膜のコンタクト孔内に設けられているので、上部電極層と下部電極層との間で電流のリークが生じることがない。したがって、誘電体膜の側壁への導電性材料の付着または堆積による信頼性および歩留りの低下が防止される。

【0027】したがって、良好な素子特性を有し、生産性の向上およびコストの低減化が可能な誘電体メモリが実現される。

【0028】（6）第6の発明

第6の発明に係る誘電体素子は、第5の発明に係る誘電体素子の構成において、コンタクト孔内の下部電極層下に形成され、下部電極層をゲート電極に電気的に接続する接続層をさらに備えたものである。

【0029】この場合、層間絶縁膜のコンタクト孔内に接続層および下部電極層が設けられ、接続層によりコンタクト孔内の下部電極層がゲート電極に電気的に接続される。

【0030】（7）第7の発明

第7の発明に係る誘電体素子は、第1～第6のいずれかの発明に係る誘電体素子の構成において、電極層が層状導電性酸化物からなり、誘電体膜が層状誘電体からなることを特徴とする。

【0031】この場合、電極層および誘電体膜が共に層状構造を有するので、電極層と誘電体膜との格子整合性がさらに良好となる。それにより、電極層上に形成される誘電体膜の結晶性がさらに良好となり、かつ電極層と誘電体膜との界面安定性がさらに向上する。したがって、誘電体膜においてさらに良好な分極特性が得られる。

【0032】（8）第8の発明

第8の発明に係る誘電体素子は、第1～第7のいずれかの発明に係る誘電体素子の構成において、電極層がピスマス系層状導電性酸化物からなり、誘電体膜がピスマス

を含む層状誘電体からなることを特徴とする。

【0033】この場合、電極層および誘電体膜が共に層状構造を有し、かつピスマスを含むので、電極層および誘電体膜が結晶構造の類似性および構成元素の類似性を有する。そのため、電極層と誘電体膜との格子整合性がさらに良好となるとともに、電極層と誘電体膜との間で構成元素の相互拡散による劣化層の形成が起こらない。それにより、電極層上に形成される誘電体膜の結晶性がさらに良好となり、かつ電極層と誘電体膜との界面安定性がさらに向上する。したがって、誘電体膜においてさらに良好な分極特性が得られる。

【0034】（9）第9の発明

第9の発明に係る誘電体素子は、第1～第8のいずれかの発明に係る誘電体素子の構成において、誘電体膜が強誘電体からなることを特徴とする。この場合、良好な素子特性を有し、生産性の向上およびコストの低減化が可能な強誘電体素子が実現される。

【0035】（10）第10の発明

第10の発明に係る誘電体素子は、第1～第9のいずれかの発明に係る誘電体素子の構成において、電極層がピスマス、ストロンチウム、銅および酸素を含む層状導電性酸化物からなり、誘電体膜がストロンチウム、ピスマス、タンタルおよび酸素を含む層状強誘電体からなることを特徴とする。

【0036】この場合、電極層および誘電体膜が共に層状構造を有し、かつピスマス、ストロンチウムおよび酸素を含むので、電極層および誘電体膜が結晶構造の類似性および構成元素の類似性を有する。そのため、電極層と誘電体膜との格子整合性がさらに良好となるとともに、電極層と誘電体膜との間で構成元素の相互拡散による劣化層の形成が行われぬ。それにより、電極層上に形成される誘電体膜の結晶性がさらに良好となり、かつ電極層と誘電体膜との界面安定性がさらに向上する。したがって、さらに良好な素子特性を有し、生産性の向上およびコストの低減化が可能な強誘電体素子が実現される。

【0037】

【発明の実施の形態】

（1）第1の実施例

図1は本発明の第1の実施例における強誘電体メモリの構造を示す模式的断面図である。

【0038】図1において、p型単結晶シリコン基板1の表面に所定間隔を隔てて n^+ 層からなるソース領域4および n^+ 層からなるドレイン領域5が形成されている。ソース領域4およびドレイン領域5との間のシリコン基板1の領域がチャネル領域6となる。

【0039】チャネル領域6上に SiO_2 からなるゲート絶縁膜2が形成されている。ゲート絶縁膜2上には、ポリシリコンからなるゲート電極3が形成されている。ゲート電極3およびゲート絶縁膜2を覆うように、シリ

コン基板1上に層間絶縁膜7が形成されている。層間絶縁膜7上には、 TiO_2 （酸化チタン）、 CeO_2 （酸化セリウム）等からなるバッファ層8が形成されている。

【0040】ゲート電極3上の層間絶縁膜7およびバッファ層8にはコンタクト孔9が形成されている。コンタクト孔9内には、ポリシリコン、W（タングステン）等の導電性材料からなる接続層（プラグ）10が所定の深さまで形成されている。

【0041】コンタクト孔9内の接続層10上には、 TiN 、 $TaSiN$ 等の導電性材料からなる拡散バリア層11が形成され、拡散バリア層11上にPt層12aが形成されている。

【0042】コンタクト孔9内のPt層12a上には、Bi（ビスマス）系導電性酸化物である $Bi_2Sr_2CuO_6$ （BSCO）からなる下部電極12が形成されている。下部電極12の上面に接触するようにバッファ層8上に、ペロブスカイト型結晶構造を有する層状強誘電体である $SrBi_2Ta_2O_9$ （SBT）からなる強誘電体膜13が形成されている。強誘電体膜13上には、Bi系導電性酸化物である $Bi_2Sr_2CuO_6$ からなる上部電極14が形成されている。

【0043】ソース領域4、ドレイン領域5上のバッファ層8および層間絶縁膜7にはそれぞれコンタクト孔が形成され、それらのコンタクト孔内にポリシリコン等の導電性材料からなるソース電極15およびドレイン電極16がそれぞれ形成されている。ソース電極15およびドレイン電極16上にはそれぞれ配線層17、18が形成されている。

【0044】図1の強誘電体メモリでは、下部電極12、強誘電体膜13および上部電極14が強誘電体キャパシタを構成する。

【0045】本実施例では、下部電極12が下部電極層または第1の導電層に相当し、上部電極14が上部電極層または第2の導電層に相当する。

【0046】図2は図1の強誘電体メモリの下部電極12および上部電極14の材料である $Bi_2Sr_2CuO_6$ の結晶構造を示す模式図である。また、図3は図1の強誘電体メモリの強誘電体膜13の材料である $SrBi_2Ta_2O_9$ の結晶構造を示す模式図である。

【0047】図2に示すように、 $Bi_2Sr_2CuO_6$ はペロブスカイト型結晶構造を有する層状の導電性酸化物である。この $Bi_2Sr_2CuO_6$ は、600℃程度で形成可能であり、低温で超伝導性を示し、室温での比抵抗は $10^{-4}\Omega\text{cm}$ 程度である。一方、図3に示すように、 $SrBi_2Ta_2O_9$ はペロブスカイト型結晶構造を有する層状強誘電体である。 $Bi_2Sr_2CuO_6$ および $SrBi_2Ta_2O_9$ の面内格子定数は共に0.39nmである。このように、図2の $Bi_2Sr_2CuO_6$ および図3の $SrBi_2Ta_2O_9$ は結晶構造の類似

性を有する。

【0048】したがって、下部電極12と強誘電体膜13との格子整合性および強誘電体膜13と上部電極14との格子整合性が良好となる。また、下部電極12上に形成される強誘電体膜13の結晶性が良好となる。

【0049】また、図2に示すように、 $Bi_2Sr_2CuO_6$ の構成元素はSr、Bi、CuおよびOである。一方、図3に示すように、 $SrBi_2Ta_2O_9$ の構成元素はSr、Bi、TaおよびOである。このように、図2の $Bi_2Sr_2CuO_6$ および図3の $SrBi_2Ta_2O_9$ は構成元素の類似性を有する。

【0050】したがって、下部電極12と強誘電体膜13との界面近傍および強誘電体膜13と上部電極14との界面近傍での構成元素の相互拡散による影響が小さい。すなわち、下部電極12および上部電極14中のCuと強誘電体膜13中のTaとが相互拡散した場合、下部電極12および上部電極14中の界面近傍に部分的に強誘電体膜13の材料である $SrBi_2Ta_2O_9$ が形成され、強誘電体膜13中の界面近傍に部分的に下部電極12および上部電極14の材料である $Bi_2Sr_2CuO_6$ が形成される。この場合、下部電極12と強誘電体膜13との界面および強誘電体膜13と上部電極14との界面が僅かに乱れるだけであり、これらの界面に劣化層が形成されない。

【0051】さらに、下部電極12、強誘電体膜13および上部電極14からなる強誘電体キャパシタが全酸化物型積層構造を有するので、界面安定性が良好となり、Ptの触媒作用による酸素の脱離の問題が回避される。また、強誘電体膜13に酸素欠損等の劣化が起こっても、酸素を補充するための熱処理を行うことにより下部電極12、強誘電体膜13および上部電極14の特性を回復させることができる。これらの結果、優れた分極疲労特性を有する強誘電体キャパシタが形成される。

【0052】また、下部電極12、強誘電体膜13および上部電極14を同一の製造装置内で連続的なプロセスにより形成することが可能となるので、生産性が向上する。また、例えば、下部電極12および上部電極14を $Bi_2Sr_2CuO_6$ からなる6インチのスパッタターゲットを用いて形成する場合、Ptからなる6インチのスパッタターゲットを用いて形成する場合に比べて、材料コストが10分の1になる。その結果、強誘電体メモリのコストが低減される。

【0053】さらに、下部電極12および上部電極14の材料である $Bi_2Sr_2CuO_6$ は反応性が高いので、加工性が良好であり、化学エッチングにより容易にエッチングすることも可能となる。また、エッチング反応系への Cl_2 やHBrを導入することにより反応性を応用したエッチングも可能となる。その結果、エッチング速度を増大させることができる。さらに、下部電極12、強誘電体膜13および上部電極14を同時にエッチ

ングすることも可能となる。これらの結果、生産性が向上する。

【0054】図4～図8は図1の強誘電体メモリの製造方法を示す工程断面図である。まず、図4(a)に示すように、p型シリコン基板1上に、熱酸化法により膜厚100ÅのSiO₂からなるゲート絶縁膜2を形成し、ゲート絶縁膜2上にCVD法(化学的気相成長法)により膜厚2000Åのポリシリコンからなるゲート電極3を形成する。

【0055】次に、図4(b)に示すように、反応性イオンエッチングまたはイオンミリング等のドライプロセスを用いてシリコン基板1上のゲート形成領域を除く部分のゲート電極3およびゲート絶縁膜2を除去し、ゲート部を形成する。そして、ゲート電極3をイオン注入用マスクとして用い、シリコン基板1の表面にn型不純物(n型ドーパント)をイオン注入し、熱処理を行う。それにより、シリコン基板1上のゲート絶縁膜2およびゲート電極3に対し自己整合的にn型不純物層(n⁺層)からなるソース領域4およびドレイン領域5がそれぞれ形成される。ソース領域4およびドレイン領域5との間のシリコン基板1の領域はチャネル領域6となる。

【0056】その後、図4(c)に示すように、ゲート電極3およびゲート絶縁膜2を覆うようにシリコン基板1上に、CVD法等により膜厚6000Å程度のSiO₂等からなる層間絶縁膜7を形成する。

【0057】次いで、図5(d)に示すように、層間絶縁膜7上に、TiO₂、CeO₂等からなる膜厚500Åのバッファ層8を形成する。その後、図5(e)に示すように、ゲート電極3上のバッファ層8および層間絶縁膜7に、リソグラフィ技術によりコンタクト孔9を設ける。

【0058】そして、図5(f)に示すように、コンタクト孔9内にポリシリコン、W等の導電性材料からなる接続層10を形成する。この場合、コンタクト孔9の上端から接続層10の上面までの距離が1500Åとなるように接続層10の厚みを設定する。接続層10の形成方法としては、コンタクト孔9の内部およびバッファ層8の全面に導電層を形成した後、全面をエッチングすることによりバッファ層8上の導電層を除去する。

【0059】次に、図6(g)に示すように、コンタクト孔9の内部およびバッファ層8の全面に、接続層10の酸化防止およびゲート部への不純物の拡散防止のためにスパッタ法等によりTiN、TaSiN等の導電性材料からなる拡散バリア層11を形成する。

【0060】そして、図6(h)に示すように、拡散バリア層11の全面をエッチングすることにより、バッファ層8上の拡散バリア層11を除去するとともに、コンタクト孔9内の拡散バリア層11の上面がバッファ層8の上面よりも低くなるまでバッファ層11をエッチバックする。この場合、エッチングガスとしてBCl₃、お

びCl₂の混合ガスを用い、エッチング条件としては、高周波出力を250Wとし、圧力を2×10⁻³Torrとする。なお、上記の混合ガスにAr、N₂等の他のガスを混合してもよい。このようにして、コンタクト孔9内の接続層10上に膜厚300Åの拡散バリア層11を形成する。

【0061】次に、図6(i)に示すように、バッファ層8上およびコンタクト孔9内の拡散バリア層11上に、上部に形成されるBi₂Sr₂CuO₆の結晶性の向上のためにPt膜12aを形成する。

【0062】その後、図7(j)に示すように、Pt層12aの全面をエッチングすることにより、バッファ層8上のPt層12aを除去するとともに、コンタクト孔9内のPt層12aの上面がバッファ層8の上面よりも低くなるまでPt層12aをエッチバックする。この場合、エッチングガスとして、Arを用い、エッチング条件としては、高周波出力を300Wとし、圧力を3×10⁻³Torrとする。エッチングガスとしてCl₂、HBr、BCl₃等の他のガスを用いてもよく、これらの混合ガスを用いてもよい。このようにして、コンタクト孔9内の拡散バリア層11上に膜厚200ÅのPt層12aを形成する。

【0063】次いで、図7(k)に示すように、バッファ層8上およびコンタクト孔9内のPt層12a上に、スパッタリング法等によりBi₂Sr₂CuO₆からなる下部電極12を形成する。

【0064】その後、図7(l)に示すように、下部電極12をエッチバックまたはCMP法(化学的機械的研磨法)等により平坦化することにより下部電極12をコンタクト孔9内のみ残し、コンタクト孔9内に膜厚1000Åの下部電極12を形成する。この場合、エッチングガスとしてAr、HBr等を用い、エッチング条件としては、高周波出力を200～400Wとし、圧力を1×10⁻³Torr程度とする。

【0065】なお、図6(h)および図7(j)の工程でそれぞれ拡散バリア層11およびPt層12aをエッチバックする代わりに、拡散バリア層11、Pt層12aおよび下部電極12を連続して形成した後、下部電極12、Pt層12aおよび拡散バリア層11を同時にエッチバックまたはCMP法による平坦化を行ってもよい。

【0066】次に、図8(m)に示すように、下部電極12およびバッファ層8上に、スパッタリング法等によりSrBi₂Ta₂O₉からなる膜厚2000Åの強誘電体膜13を形成する。さらに、図8(n)に示すように、強誘電体膜13上に、スパッタリング法等により膜厚1500ÅのBi₂Sr₂CuO₆からなる上部電極14を形成する。

【0067】その後、図8(o)に示すように、上部電極14および強誘電体膜13をエッチングによりパター

ニングする。この場合、エッチングガスとしてAr、HBr等を用い、エッチング条件としては、高周波出力200~400Wとし、圧力を 1×10^{-3} Torr程度とする。

【0068】エッチング時に、バッファ層8がすべてエッチングされてもよい。強誘電体膜13は下部電極12の上面に接触していればよく、バッファ層8上に必ずしもまたがってなくてもよい。

【0069】次に、図1に示したように、ソース電極4およびドレイン電極5上のバッファ層8および層間絶縁膜7にそれぞれコンタクト孔を設け、それらのコンタクト孔内にポリシリコン等の導電性材料からなるソース電極15およびドレイン電極16をそれぞれ形成する。最後に、ソース電極15およびドレイン電極16上にA1からなる配線層17、18を形成する。このようにして、図1の強誘電体メモリが作製される。

【0070】本実施例の強誘電体メモリでは、下部電極12が層間絶縁膜7のコンタクト孔9内に設けられるので、上部電極14および強誘電体膜13をエッチングによりパターニングする際に、下部電極12の導電性材料が強誘電体膜13の側壁に堆積しない。したがって、強誘電体膜13の側壁への導電性材料の堆積による強誘電体メモリの信頼性および歩留りの低下が十分に防止される。

【0071】また、図8(m)の工程で、強誘電体膜13がバッファ層8を介して層間絶縁膜7上に形成されているので、強誘電体膜13の応力がバッファ層8により緩和され、強誘電体膜13にクラックが発生することが防止されるとともに、強誘電体膜13と層間絶縁膜7との間で構成元素の反応や相互拡散が起こることが防止される。その結果、強誘電体メモリの信頼性および歩留りがさらに向上する。

【0072】さらに、強誘電体膜13とシリコン基板1との間の導電層10の周囲に層間絶縁膜7が設けられているので、強誘電体膜13とシリコン基板1との間での構成元素の反応や相互拡散が十分に防止される。

【0073】ここで、図1の強誘電体メモリの動作原理を説明する。上部電極14に強誘電体膜13を分極反転させるために十分な正電圧を印加し、再び上部電極14の電圧を0とする。それにより、強誘電体膜13の上部電極14との界面が負に帯電し、下部電極12との界面が正に帯電する。

【0074】この場合、下部電極12の強誘電体膜13との界面が負に帯電し、ゲート電極3のゲート絶縁膜2との界面が正に帯電する。その結果、ソース領域4とドレイン領域5との間のチャネル領域6に反転層が形成され、上部電極14の電圧が0にもかかわらず、FETはオン状態となる。

【0075】逆に、上部電極14に強誘電体膜13を分極反転させるために十分な負電圧を印加し、再び上部電

極14の電圧を0にする。それにより、強誘電体膜13の上部電極14との界面が正に帯電し、下部電極12との界面が負に帯電する。

【0076】この場合、下部電極12の強誘電体膜13との界面が正に帯電し、ゲート電極3のゲート絶縁膜2との界面が負に帯電する。その結果、ソース領域4とドレイン領域5との間のチャネル領域6に反転層が形成されず、FETはオフ状態となる。

【0077】このように、強誘電体膜13が十分に分極反転していると、上部電極14に印加する電圧を0にした後も、FETを選択的にオン状態またはオフ状態にすることができる。そのため、ソース・ドレイン間の電流を検出することにより強誘電体メモリに記憶されるデータ"1"および"0"を判別することが可能となる。

【0078】(2)第2の実施例

図9は本発明の第2の実施例におけるMFMI S構造の強誘電体メモリの構造を示す模式的断面図である。

【0079】図9において、p型シリコン基板21の表面に、所定間隔を隔てて n^+ 層からなるソース領域22および n^+ 層からなるドレイン領域23が形成されている。ソース領域22とドレイン領域23との間のシリコン基板21の領域がチャネル領域24となる。チャネル領域24上には、ゲート絶縁膜25、下部電極26、強誘電体膜27および上部電極28が順に形成されている。

【0080】図9の強誘電体メモリにおいては、下部電極26、強誘電体膜27および上部電極28が強誘電体キャパシタを構成する。下部電極26および上部電極28は $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ からなり、強誘電体膜27は $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなる。

【0081】本実施例の強誘電体メモリにおいても、第1の実施例の強誘電体メモリと同様に、優れた分極劣化耐性を有し、生産性の向上およびコストの低減化が可能となる。

【0082】(3)第3の実施例

図10は本発明の第3の実施例におけるMFIS構造の強誘電体メモリの構造を示す模式的断面図である。

【0083】図10において、p型シリコン基板21の表面に、所定間隔を隔てて n^+ 層からなるソース領域22および n^+ 層からなるドレイン領域23が形成されている。ソース領域22とドレイン領域23との間のシリコン基板21の領域がチャネル領域24となる。チャネル領域24上には、ゲート絶縁膜25、強誘電体膜27およびゲート電極28aが順に形成されている。

【0084】図10の強誘電体メモリにおいては、p型シリコン基板21のチャネル領域24、ゲート絶縁膜25、強誘電体膜27およびゲート電極28aが強誘電体キャパシタを構成する。強誘電体膜27は $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなり、ゲート電極28aは $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ からなる。

【0085】本実施例の強誘電体メモリにおいても、第1の実施例の強誘電体メモリと同様に、優れた分極劣化耐性を有し、生産性の向上およびコストの低減化が可能となる。

【0086】(4) 第4の実施例

図11は本発明の第4の実施例におけるMFS構造の強誘電体メモリの構造を示す模式的断面図である。

【0087】図11において、p型シリコン基板21の表面に、所定間隔を隔てて n^+ 層からなるソース領域22および n^+ 層からなるドレイン領域23が形成されている。ソース領域22とドレイン領域23との間のシリコン基板21の領域がチャンネル領域24となる。チャンネル領域24上には、強誘電体膜27およびゲート電極28aが順に形成されている。

【0088】図11の強誘電体メモリにおいては、p型シリコン基板21のチャンネル領域24、強誘電体膜27およびゲート電極28aが強誘電体キャパシタを構成する。強誘電体膜27は $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなり、ゲート電極28aは $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ からなる。

【0089】本実施例の強誘電体メモリにおいても、第1の実施例の強誘電体メモリと同様に、優れた分極劣化耐性を有し、生産性の向上およびコストの低減化が可能となる。

【0090】(5) 他の適用例

本発明は図12の構造を有する強誘電体メモリにも適用することができる。この場合には、下部電極42および上部電極44を $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ により形成し、強誘電体膜43を $\text{SrBi}_2\text{Ta}_2\text{O}_9$ により形成する。

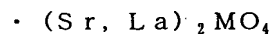
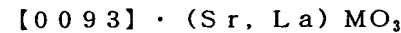
【0091】(6) 他の電極材料

下部電極12、26、42、上部電極14、28、44およびゲート電極28aの材料としては、以下の各材料からなる導電性酸化物を用いることができる。

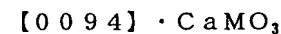
【0092】① ペロブスカイト型材料



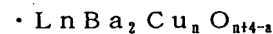
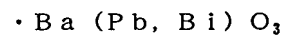
$n=0, 1, 2, 3, 4, 5$ である。AはTl(タリウム)、Bi、MgまたはCuであり、BはBa、CはCa、MはCuである。



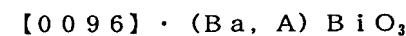
MはTi、V、Cr、Mn、Fe、Co、Ni、Cu、RuまたはIrである。



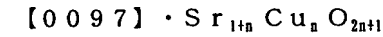
MはV、Cr、FeまたはRuである。



$n=3, 4$ である。LnはY、La、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、YbまたはLuである。



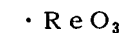
AはKまたはRbである。



$n=1, 2, 3, \infty$ である。

【0098】上記①のペロブスカイト型材料を用いることが好ましく、特に、 $\text{A}_2\text{B}_2\text{C}_n\text{M}_{n+1}\text{O}_{2n+1}$ で示されるペロブスカイト型材料を用いることがより好ましい。

【0099】また、下部電極12、26、42、上部電極14、28、44およびゲート電極28aの材料として、以下の各材料からなる導電性酸化物を用いることもできる。



③ M_xWO_3 型材料

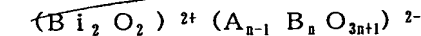
MはH、アルカリ金属、アルカリ土類金属、Cu、Ag、In、Tl、SnまたはPbである。

【0101】下部電極12、26、42、上部電極14、28、44およびゲート電極28aは、上記各材料の多層構造であってもよい。

【0102】(7) 他の強誘電体材料

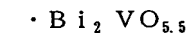
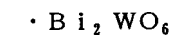
強誘電体膜13、27、43としては、以下の各材料からなる強誘電体を用いてもよい。

【0103】① 下記的一般式で示されるビスマス系層状強誘電体

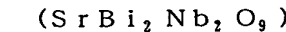
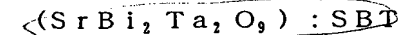


なお、AはSr、Ca、Ba、Pb、Bi、KまたはNaであり、BはTi、Ta、Nb、WまたはVである。

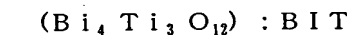
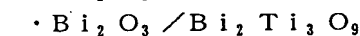
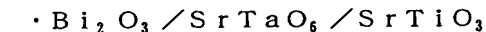
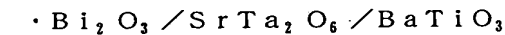
【0104】 $n=1$ の場合：



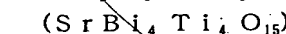
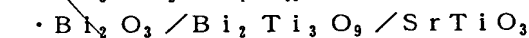
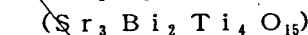
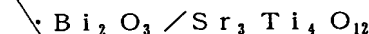
$n=2$ の場合：



$n=3$ の場合：



$n=4$ の場合：



強誘電体膜13、27、43の材料としては、上記①のビスマス系層状強誘電体を用いることが好ましいが、下記の各材料からなる強誘電体を用いることもできる。

【0105】② 下記的一般式で示される強誘電体(等方的材料系)

・ $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$: PZT ($\text{PbZr}_{0.5}\text{Ti}_{0.5}\text{O}_3$)

・ $(\text{Pb}_{1-y}\text{La}_y)(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$: PLZT

・ $(\text{Sr}_{1-x}\text{Ca}_x)\text{TiO}_3$

・ $(\text{Sr}_{1-x}\text{Ba}_x)\text{TiO}_3$: ($\text{Sr}_{0.4}\text{Ba}_{0.6}\text{TiO}_3$)

・ $(\text{Sr}_{1-x-y}\text{Ba}_x\text{M}_y)\text{Ti}_{1-z}\text{N}_z\text{O}_3$

なお、MはLa、Bi、SbまたはYであり、NはNb、V、Ta、MoまたはWである。

【0106】・ $\text{Sr}_2\text{Nb}_2\text{O}_7$

・ $\text{Sr}_2\text{Ta}_2\text{O}_7$

・ $\text{Pb}_5\text{Ge}_3\text{O}_{11}$

・ $(\text{Pb}, \text{Ca})\text{TiO}_3$

(8) 強誘電体膜の形成方法

強誘電体膜13、27、43の形成方法としては、分子線エビタキシー法(MBE法)、レーザアブレーション法、レーザ分子線エビタキシー法、スパッタリング法(RF型、DC型またはイオンビーム型)、反応性蒸着法、MOCVD法(有機金属化学的気相成長法)、ミスト堆積法、ゾルゲル法等を用いることができる。

【0107】(9) 他の変形例

ゲート電極3および接続層10の材料は、ポリシリコンやWに限定されず、他の導電性材料を用いてもよい。

【0108】また、上記実施例では、FETがシリコン基板1、21に形成されているが、FETが他の半導体基板または半導体層に形成されてもよい。

【0109】なお、上記実施例では、n型チャネルを有する強誘電体メモリについて説明したが、各層の導電型を逆にすることによりp型チャネルを有する強誘電体メモリも実現される。

【0110】また、本発明は、上記実施例の強誘電体メモリに限らず、強誘電体キャパシタを有する種々の強誘電体メモリに適用することができる。

【0111】また、上記実施例では、本発明を不揮発性メモリとして動作する強誘電体メモリの強誘電体キャパシタに適用した場合を説明したが、本発明は、揮発性の動作を行う強誘電体メモリの強誘電体キャパシタにも適用可能である。

【0112】さらに、本発明は、誘電体膜が導電層で挟まれた構造を有する誘電体キャパシタ、または誘電体膜と導電層との積層構造を有する他の誘電体素子の形成にも適用可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例における強誘電体メモリの構造を示す模式的断面図である。

【図2】図1の強誘電体メモリの下部電極および上部電極の材料である $\text{Bi}_2\text{Sr}_2\text{CuO}_6$ の結晶構造を示す模式図である。

【図3】図1の強誘電体メモリの強誘電体膜の材料である $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の結晶構造を示す模式図である。

【図4】図1の強誘電体メモリの製造方法を示す工程断面図である。

【図5】図1の強誘電体メモリの製造方法を示す工程断面図である。

【図6】図1の強誘電体メモリの製造方法を示す工程断面図である。

【図7】図1の強誘電体メモリの製造方法を示す工程断面図である。

【図8】図1の強誘電体メモリの製造方法を示す工程断面図である。

【図9】本発明の第2の実施例における強誘電体メモリの構造を示す模式的断面図である。

【図10】本発明の第3の実施例における強誘電体メモリの構造を示す模式的断面図である。

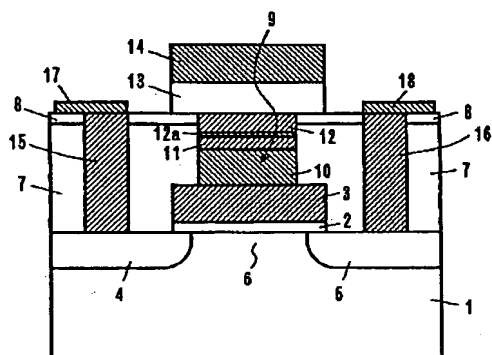
【図11】本発明の第4の実施例における強誘電体メモリの構造を示す模式的断面図である。

【図12】従来の強誘電体メモリの一例を示す模式的断面図である。

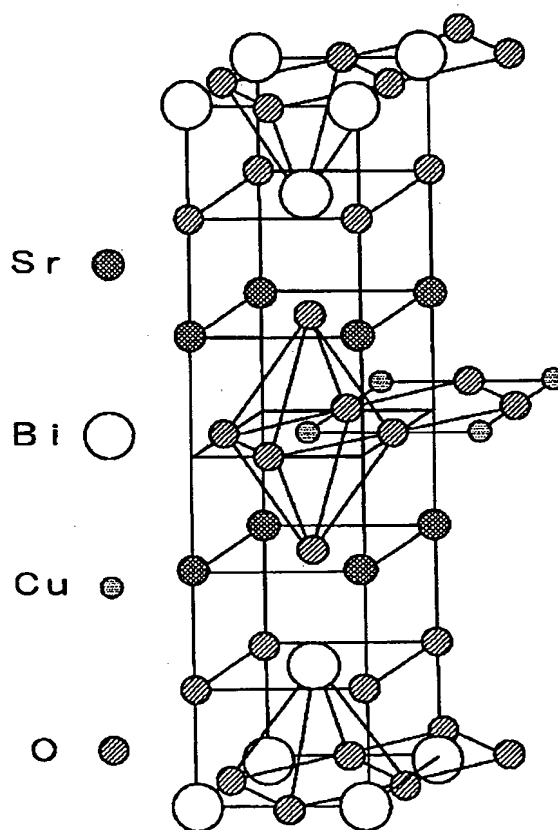
【符号の説明】

- 1, 21 シリコン基板
- 2, 25 ゲート絶縁膜
- 3, 28a ゲート電極
- 4, 22 ソース領域
- 5, 23 ドレイン領域
- 6, 24 チャネル領域
- 7 層間絶縁膜
- 8 バッファ層
- 9 コンタクト孔
- 10 接続層
- 11 拡散バリア層
- 12, 26 下部電極
- 13, 27 強誘電体膜
- 14, 28 上部電極

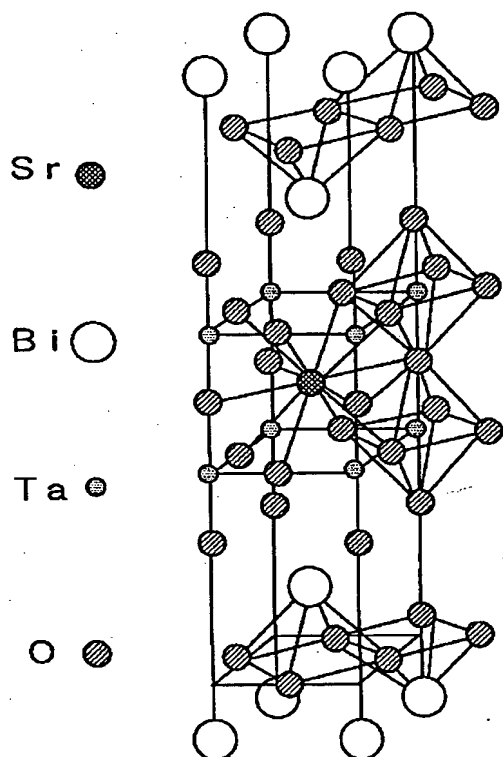
【図1】



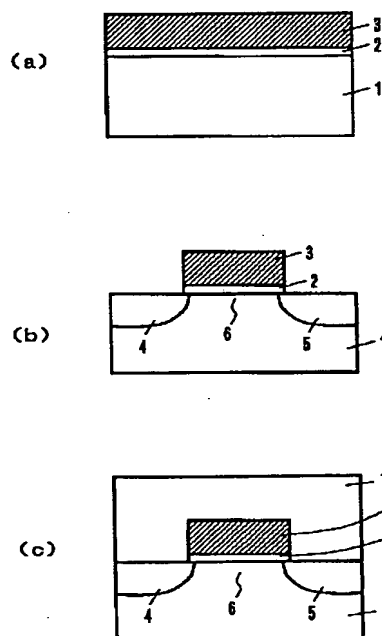
【図2】



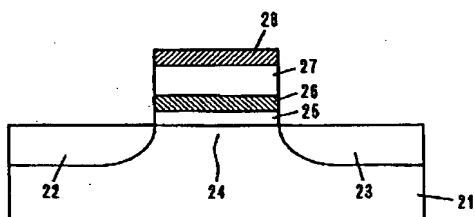
【図3】



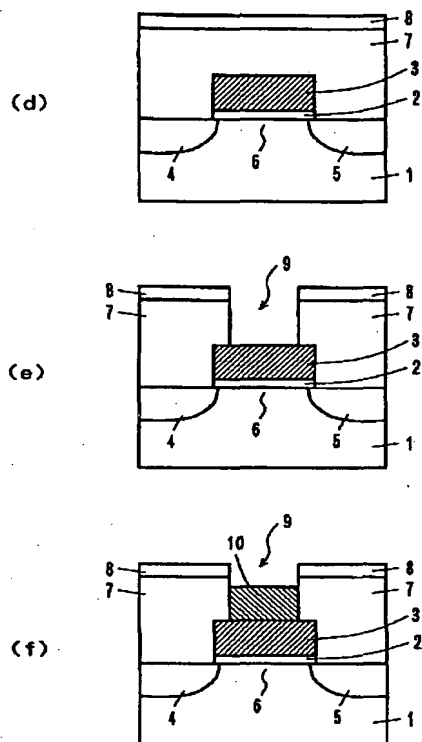
【図4】



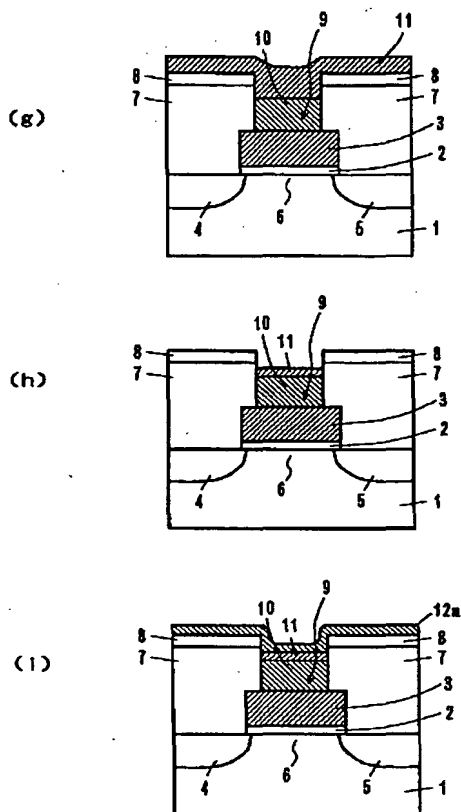
【図9】



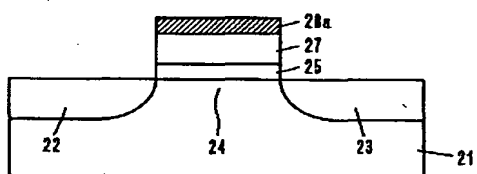
【図5】



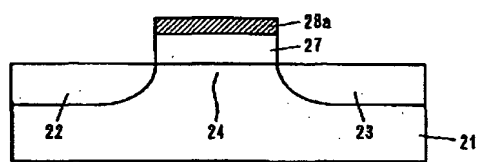
【図6】



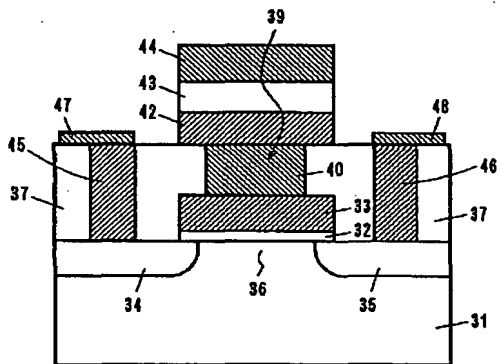
【図10】



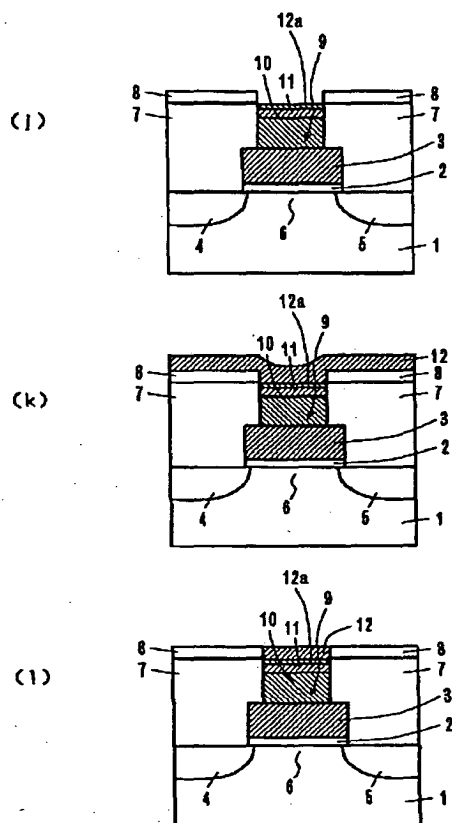
【図11】



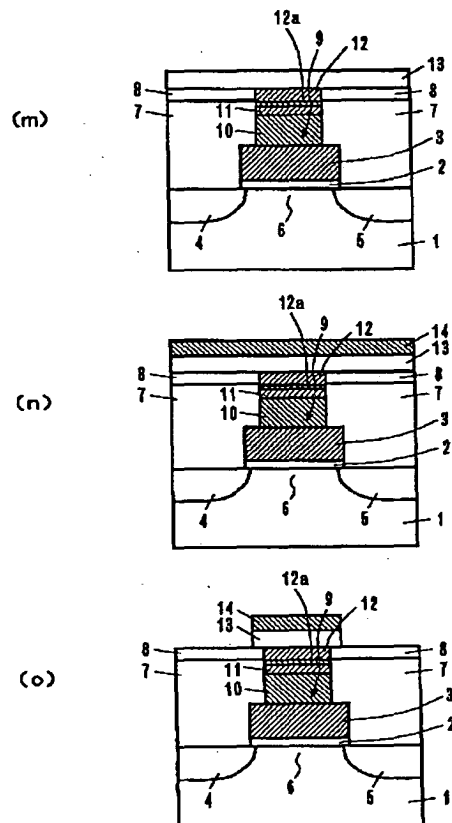
【図12】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl. ⁶
H01L 29/792

識別記号

F I